

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-221507

(43)Date of publication of application : 23.12.1983

(51)Int.Cl.

H03F 1/52

(21)Application number : 57-103944

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.06.1982

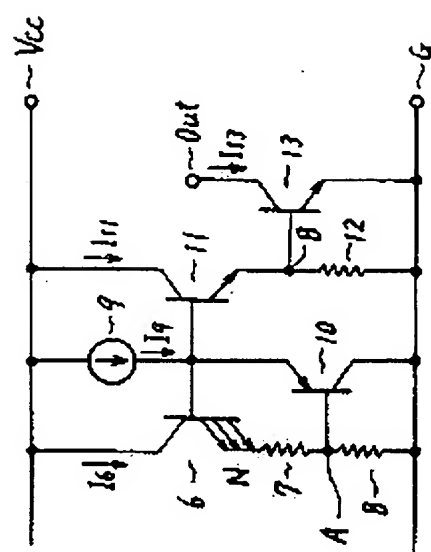
(72)Inventor : NAGANO KATSUMI

(54) TRANSISTOR CIRCUIT

(57)Abstract:

PURPOSE: To ensure the working with power supply voltage of a low level and to increase the temperature sensitivity, by making use of the base-emitter voltage of a transistor.

CONSTITUTION: The collectors of two npn transistors $\overline{\text{TR6}}$ and 11 having their bases connected in common are connected to a power supply VCC. The emitter of the TR6 is grounded via resistances 7 and 8. At the same time, the base of a pnp type TR10 is connected to a joint A of resistances 7 and 8, and the emitter of the TR10 is connected to the common base of the TR6 and 11. The collector of the TR10 is grounded. Furthermore the base of an npn TR13 is connected to a joint B of the emitter of the TR11 and a resistance 12, and the emitter of the TR13 is grounded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



THIS PAGE BLANK (USPTO)

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭58—221507

⑯ Int. Cl.³
H 03 F 1/52

識別記号

庁内整理番号
6932—5 J

⑰ 公開 昭和58年(1983)12月23日

発明の数 1
審査請求 有

(全 7 頁)

⑱ トランジスタ回路

— 1 東京芝浦電気株式会社北九州工場内

⑲ 特 願 昭57—103944

⑲ 出 願 人 東京芝浦電気株式会社

⑳ 出 願 昭57(1982) 6 月18日

川崎市幸区堀川町72番地

㉑ 発 明 者 長野克己

㉑ 代 理 人 弁理士 則近憲佑 外 1 名

北九州市小倉北区下到津 1—10

明 細 書

1. 発明の名称 トランジスタ回路
2. 特許請求の範囲

(1) ベースを共通接続する第 1、第 2 のトランジスタと、前記第 1、第 2 のトランジスタのコレクタを各々第 1 の電源端子に接続する第 1、第 2 の接続手段と、第 1、第 2 の抵抗を有し前記第 1 のトランジスタのエミッタを第 2 の電源端子に接続する第 3 の接続手段と、前記第 1、第 2 のトランジスタの共通ベース接続と前記第 1 の電源端子間に接続される電流源と、エミッタ、ベース、コレクタを有する第 3 のトランジスタと、前記第 3 のトランジスタのベースを前記第 1、第 2 の抵抗の接続点に、エミッタを前記第 1、第 2 のトランジスタの共通ベース接続に、コレクタを前記第 2 の電源端子に各々接続する第 4、第 5、第 6 の接続手段と、前記第 2 のトランジスタのエミッタを前記第 2 の電源端子に接続する第 7 の接続手段を具備することを特徴とするトランジスタ回路。

(2) 前記第 1、第 2 のトランジスタのエミッタ面

積比を N 対 1 にすることを特徴とする特許請求の範囲第 1 項記載のトランジスタ回路。

(3) 前記第 2 のトランジスタのエミッタと前記第 3 の抵抗の接続点にそのベースを接続し、エミッタを前記第 2 の電源端子に接続する第 4 のトランジスタを具備し、そのコレクタから出力を得ることを特徴とする特許請求の範囲第 1 項記載のトランジスタ回路。

3. 発明の詳細な説明

< 発明の技術分野 >

本発明はトランジスタ回路に関するもので、特にトランジスタの温度特性を利用したトランジスタ回路に関する。

< 発明の技術的背景 >

従来、半導体集積回路（以下 IC という）の熱破壊を防ぐため、IC の基板の温度が所定温度以上になった時に、その発熱源、例えば出力トランジスタを強制的にオフ状態にするトランジスタ回路は、すなわち温度遮断回路が採用されている。この温度遮断回路は、トランジスタの温度特性を

利用したものであるが、その一例として、第1図に示すものが知られている。すなわち、 V_{cc} 電源端子と接地端子(3)間には、定電流源(1)と逆バイアスされるツェナーダイオード(2)が直列されており、またツェナーダイオード(2)には抵抗(3)(4)の直列回路が並列接続されている。そして、さらに抵抗(3)(4)の接続点にそのベースを接続し、エミッタを端子(3)に接続するトランジスタ(5)を具備しており、コレクタは出力端子(out)に接続されている。

さて、かかる構成においては、ツェナーダイオード(2)の電圧を V_z とし、抵抗(3)(4)の抵抗値を R_3 、 R_4 とすると、抵抗(4)の両端の電圧 V_4 は、

$$V_4 = \frac{R_4}{R_3 + R_4} \cdot V_z \quad \dots \dots (1)$$

で示される。そして、この V_4 が、トランジスタ(5)のベース・エミッタ間電圧 V_{BE} より大きくなると、トランジスタ(5)が導通し、コレクタ電流すなわち出力電流 I_{out} が得られる。

さて、かかる構成の温度特性は、ツェナーダイオードの温度係数が正であり、またトランジスタ(5)のベース・エミッタ間電圧 V_{BE} が負であるので

第2図の様に示される。図において、(a)がトランジスタ(5)の V_{BE} 特性、(b)が抵抗(4)の電圧 V_4 を示したものである。従って、温度 T_0 以上になるとトランジスタ(5)がオンすることになり、この出力電流によって、例えば発熱源である出力トランジスタ(図示せず)をオフ状態にすることにより遮断温度 T_0 を有する温度遮断回路が提供できるというものである。

<背景技術の問題点>

さて、かかる従来の回路においてはツェナーダイオードを用いているため電源電圧 V_{cc} をツェナー電圧(約6(V))以下にすることができない。従ってICの技術的動向である低電源電圧化、低消費電力化には極めて不都合である。また、ツェナー電圧 V_z の温度係数も $+0.07\%/^{\circ}\text{C}$ 程度と小さいため、回路全体としての温度感度も小さい。

<発明の目的>

従って、本発明は低電源電圧での動作が可能であり、また温度感度も大きなトランジスタ回路を提供することを目的としている。

<発明の概要>

本発明に係るトランジスタ回路においてはツェナーダイオードのツェナー電圧にかえて、トランジスタのベース・エミッタ間電圧を利用しているため、低電圧での動作が可能である。

<発明の実施例>

以下図面を参照しながら本発明の実施例について説明する。

第3図は本発明の一実施例を示す回路図である。ベースを共通接続する2つのNPN型トランジスタ(6)、(11)のコレクタは各々、電源電圧端子(V_{cc})に接続されている。またトランジスタ(6)のエミッタは抵抗(7)、(8)を介して接地端子(3)に接続されている。一方、トランジスタ(11)のエミッタも抵抗(12)を介して、接地端子(3)に接続されている。(9)はトランジスタ(6)と(11)の共通ベース接続に接続された電流源である。またPNP型トランジスタ(10)のベースは抵抗(7)(8)の接続点(A)に、エミッタはトランジスタ(6)と(11)の共通ベース接続に、コレクタは接地端子(3)に各々接続されている。

さらにNPN型トランジスタ(13)のベースはトランジスタ(11)のエミッタと抵抗(12)の接続点(B)に、エミッタは接地端子(3)に、コレクタは出力端子(out)に各々接続されている。

さて、トランジスタ(6)、(11)のエミッタ接地増幅率が十分におおきいと仮定すると、トランジスタ(6)のコレクタ電流(I_6)と等しい電流が抵抗(7)、(8)を流れ、またトランジスタ(11)のコレクタ電流(I_{11})に等しい電流が抵抗(12)を流れる。そしてトランジスタ(10)のベース・エミッタ間電圧 V_{BE} と、抵抗(7)の電圧降下によってバイアスされるため、トランジスタ(10)のベース・エミッタ間電圧 V_{BE10} は、

$$V_{BE10} = V_{BE6} + R_7 \cdot I_6 \quad \dots \dots (2)$$

で示される。ここで R_7 は抵抗(7)の抵抗値である。

また、トランジスタ(11)のエミッタと抵抗(12)の接続点(B)の電圧 V_B が低く、トランジスタ(13)がオフの状態である時、 V_B と抵抗(7)と(8)の接続点の電位 V_A との関係は、

$$V_B = V_A + V_{BE10} - V_{BE11} \quad \dots \dots (3)$$

となる。ここで V_{BB11} はトランジスタ 00 のベース・エミッタ間電圧である。

さらに、 $V_{BB10} = V_{BB11}$ であるとする、

$$V_B = V_A \quad \dots\dots(4)$$

となる。また、 V_A, V_B は各々抵抗 (8)、02 の電圧降下、すなわち

$$V_A = I_6 \cdot R_8 \quad \dots\dots(5)$$

$$V_B = I_{11} \cdot R_{12} \quad \dots\dots(6)$$

で示される。ここで R_8, R_{12} は抵抗 (8)、02 の抵抗値である。従って $R_8 = R_{12}$ とすれば、

$$I_6 = I_{11} \quad \dots\dots(7)$$

の関係となる。

ところで、能動状態にあるトランジスタのベース・エミッタ間電圧 V_{BE} はダイオード方程式で表されるため、

$$V_{BE} = \frac{kT}{q} \cdot \ln \frac{I_C}{A \cdot I_s} \quad \dots\dots(8)$$

で表わされる。ここで q は電子 1 個の電荷量、 k はボルツマン定数、 T は絶対温度、 A はエミッタ面積、 I_C はコレクタ電流、 I_s は飽和電流である。従って、この (8) 式の関係を用いて (2) 式に代入すると、

特開昭 58-221507 (3)

$$V_{BB10} = \frac{kT}{q} \ln \frac{I_6}{A_6 \cdot I_s} + R_7 \cdot I_6 \quad \dots\dots(9)$$

ここで A_6 はトランジスタ (6) のエミッタ面積である。また $V_{BB10} = V_{BB11}$ であるから (9) 式はさらに

$$\frac{kT}{q} \ln \frac{I_{11}}{A_{11} \cdot I_s} = \frac{kT}{q} \ln \frac{I_6}{A_6 \cdot I_s} + R_7 \cdot I_6 \quad \dots\dots(10)$$

この (10) 式に (7) 式の関係を用いると

$$I_6 = I_{11} = \frac{V_T}{R_7} \cdot \ln \frac{A_6}{A_{11}} \quad \dots\dots(11)$$

となる。ここで V_T は熱電圧 $\frac{kT}{q}$ を示す。

従ってトランジスタ (6) と 00 のエミッタ面積比を N すると (11) 式はさらに、

$$I_6 = I_{11} = \frac{V_T}{R_7} \cdot \ln N \quad \dots\dots(12)$$

となる。またさらに、 V_A, V_B は、

$$\begin{aligned} V_A = V_B &= \frac{R_{12}}{R_7} \cdot V_T \cdot \ln N \\ &= \frac{R_8}{R_7} \cdot V_T \cdot \ln N \quad \dots\dots(13) \end{aligned}$$

と示される。従って V_B として絶対温度 T に比例した電圧が得られることになる。また、必要とされる電源電圧 V_{CC} は抵抗 04 における電圧降下分、お

よびトランジスタ 01 のベース・エミッタ間電圧 V_{BE11} の和程度約 1.2V 以上あれば良く、極めて低い電圧での動作が可能である。

また V_B の温度係数 $\frac{\partial V_B}{\partial T}$ は常温 ($T = 300^\circ K$) 付近では近似的に

$$\frac{\partial V_B}{\partial T} = \frac{T+1}{T} = 1.0033 \quad \dots\dots(14)$$

と求められ、温度変化量は $+0.33\%/^\circ C$ となり、従来例の $+0.07\%/^\circ C$ に比し、大幅に高くなっている。またトランジスタ 03 のベース・エミッタ間電圧 V_{BE13} と V_B の関係を示すと第 4 図のように示され、(c) が V_{BE13} 、(d) が V_B を示す。従って V_B が V_{BE13} より大きくなる温度 T_0 でトランジスタ 03 がオンになる。

また、第 5 図は本発明に係るトランジスタ回路の実験回路を示すもので電流源 (9) として、抵抗 (9) を用いている。そしてトランジスタ (8) とトランジスタ 00 のエミッタ面積比 N を 3、またトランジスタ (8) と 00 のコレクタ電流 I_6, I_{11} を各々 $100\mu A$ と設定し、抵抗 (7) の抵抗値を (11) 式より $283(\Omega)$ としている。

また、電圧 V_A, V_B を $300mV$ に設定し、(6)(8) 式より抵抗 (7)(8) として $3K\Omega$ のものを使用した。

さらに、電流源となる抵抗 (9) の抵抗値は $37K\Omega$ としている。

第 6 図は、その実験結果を示すもので、(e) が実測値、(f) が理論値である。実験の結果も $145^\circ C$ での実測値の誤差は -4.2% に過ぎず、 V_B の温度追従性が良いことを示している。

また第 7 図はトランジスタのコレクタ電流をパラメータとして、温度 T に対し、ベース・エミッタ間電圧がどのように変化するかを示す特性図に第 5 図の実験回路で得られた V_B の実測値 (h) の特性を重ねたものである。従って、例えば、第 5 図の実験回路で第 3 図に示すようなトランジスタ 03 を駆動する場合、トランジスタ 03 のコレクタ電流 I_B を $10\mu A$ と設定 (g) の特性) すれば、 T が $145^\circ C$ 以上になるとトランジスタ 03 が能動状態になりこの出力電流を用いて発熱源、例えば出力トランジスタをオフにするようにすれば、 $145^\circ C$ で動作する温度適断回路が提供できることになる。

第8図は、その一実施例を示すもので、トランジスタ13のコレクタが発熱源となる出力トランジスタ14のベースに接続されている。また14は出力トランジスタ15の駆動電流源である。

さて、かかる構成において、出力トランジスタ15の動作によりICチップの温度が上がり、例えば前述した温度設定値145℃を越えたとすると、トランジスタ13がオン状態になり電流源14の電流 I_{14} を引き込み、トランジスタ15をオフ状態にする。そして、この動作によりICチップの温度上昇を止める。

また第9図は本発明に係るトランジスタ回路の他の実施例を示す回路図で、絶対温度に比例する出力電流 I_{out} を出力する電流源回路を示す回路図である。

本実施例においては、抵抗(8)と12の接続点にダイオード接続されたトランジスタ10のコレクタを接続し、さらにこのトランジスタ10とカレントミラー回路11を構成するトランジスタ11が備えられている。かかる構成においては、出力電流 I_{out}

と示される。そして、 V_{BB10} をトランジスタ11のベース・エミッタ間電圧 V_{BE11} に等しく設定すると10式はさらに、

$$\frac{KT}{q} \ln \frac{I_{11}}{A_{11} \cdot I_s} = \frac{KT}{q} \ln \frac{I_6'}{A_6' \cdot I_s} + R_7 \cdot I_6' \quad \dots\dots 13$$

となる。10式はさらに、

$$R_7 \cdot I_6' = \frac{KT}{q} \ln \frac{I_{11}}{A_{11}} \cdot \frac{A_6'}{I_6'} \quad \dots\dots 14$$

と示される。今、 $A_{11} = A_6'$ であるから、

$$R_7 \cdot I_6' = \frac{KT}{q} \ln \frac{I_{11}}{I_6'} \quad \dots\dots 15$$

が得られる。ここで

$$I_{11} = N \cdot I_6' \quad \dots\dots 16$$

とすると15式は、

$$I_6' = \frac{1}{R_7} \cdot \frac{KT}{q} \ln N \quad \dots\dots 17$$

が得られ、16式に対応する。また抵抗(7)、(8)の接続点(A)の電位 V_A とトランジスタ11のエミッタ電位 V_B は、

$$V_A = I_6' \cdot R_8' \quad \dots\dots 18$$

は、トランジスタ(6)と11のコレクタ電流 I_6, I_{11} の和の電流に等しいため、

$$I_{out} = I_6 + I_{11} \quad \dots\dots 19$$

と示される。従って17式より

$$I_{out} = 2 \cdot \frac{V_T}{R_7} \cdot \ln N \quad \dots\dots 20$$

が得られ、絶対温度 T に比例した電流が得られることになる。

なお、以上の実施例においてはトランジスタ(6)とトランジスタ11のエミッタ面積の比を N 対1にした場合について説明したが、この比を1対1にすることができる。

第10図はトランジスタ(6)と11のエミッタ面積比を1対1にした場合の実施例を示す。図において第3図の実施例の各構成要素に対応する素子には同一の符号を付しており、トランジスタ(6)と11のエミッタ面積比が1対1に設定されている。トランジスタ(6)、11、12のエミッタ接地電流増幅率が十分に大きいとすると、トランジスタ10のベース・エミッタ間電圧 V_{BE10} は第3図の実施例と同様に

$$V_{BE10} = \frac{KT}{q} \ln \frac{I_6'}{A_6' \cdot I_s} + R_7 \cdot I_6' \quad \dots\dots 21$$

$$V_B = I_{11} \cdot R_{12}' \quad \dots\dots 22$$

と示されるため、これらの電位を等しくするためには22式の関係より、

$$R_8' = N \cdot R_{12}' \quad \dots\dots 23$$

とする必要がある。つまり、トランジスタ11と(6)のエミッタ面積が等しい場合には抵抗(8)を12の N 倍の抵抗値にすれば、同様な動作をする。そして V_B は、

$$\begin{aligned} V_B &= R_{12}' \cdot I_{11} = \frac{R_8'}{N} \cdot I_{11} \\ &= \frac{R_8'}{N} \cdot N I_6' = \frac{R_8'}{R_7} \cdot \frac{KT}{q} \ln N \quad \dots\dots 24 \end{aligned}$$

と求められ23式に対応した関係が得られる。従って絶対温度 T に比例した電圧を得ることができ、温度係数も大きなものとなる。

<発明の効果>

以上説明した様に本発明に係るトランジスタ回路によれば、極めて低い電圧で動作可能であり、また温度係数も高いので低電源電圧化を図ったICの温度遮断回路として用いるのに好都合である。

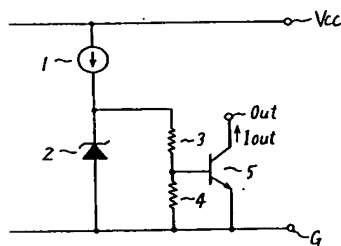
4. 図面の簡単な説明

第1図は従来のトランジスタ回路の一例を示す回路図、第2図はその説明に供する図、第3図乃至第10図は本発明に係るトランジスタ回路の一実施例を示す回路図、及びその説明に供する図である。

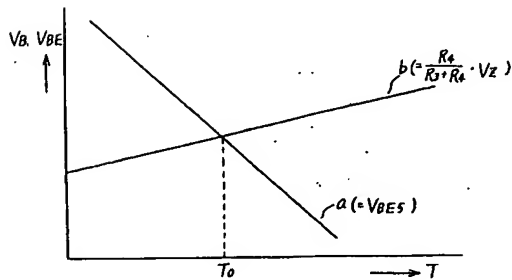
6, 6', 11, 13, 15, 16, 17... NPN型トランジスタ、
7, 8, 8', 9', 12, 12'... 抵抗、
9, 14... 電流源。

(7317) 代理人 弁理士 則 近 憲 佑
(ほか1名)

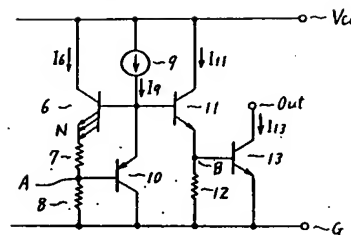
第1図



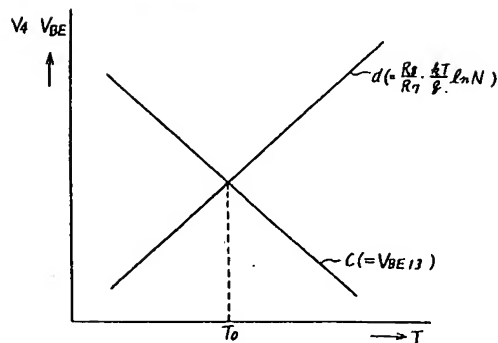
第2図



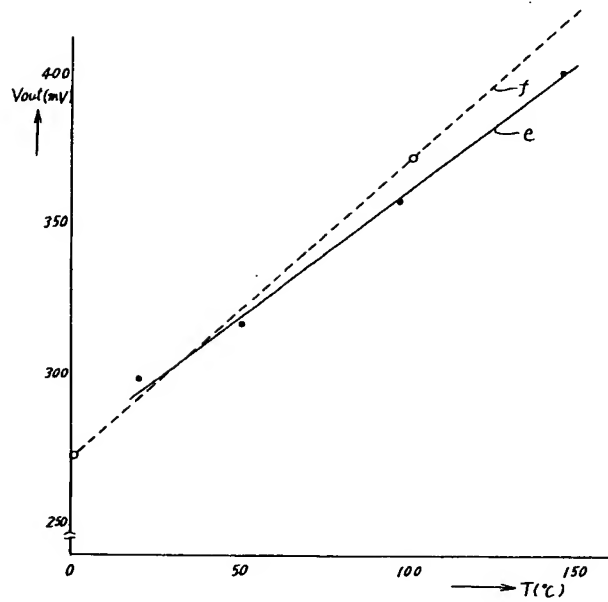
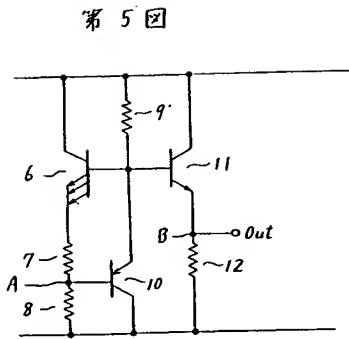
第3図



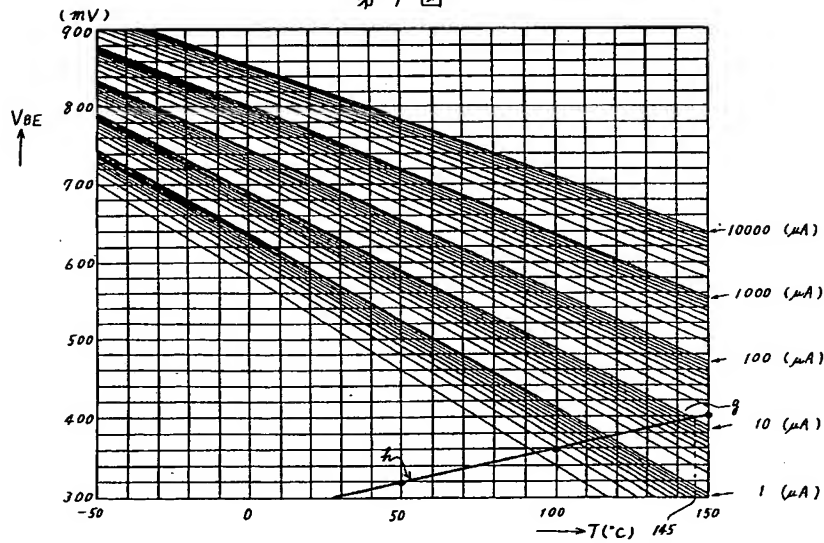
第4図



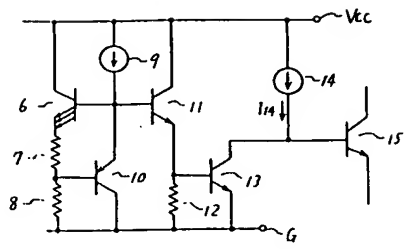
第6図



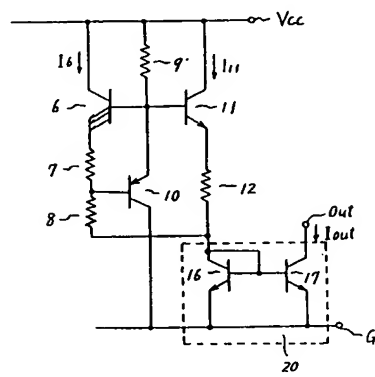
第7図



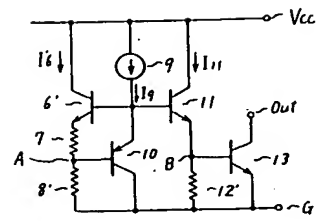
第 8 図



第 9 図



第 10 図



THIS PAGE BLANK (USPTO)